

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許番号

特許第 3 0 0 3 9 4 8 号

(P 3 0 0 3 9 4 8)

(45) 発行日 平成12年1月31日 (2000. 1. 31)

(24) 登録日 平成11年11月19日 (1999. 11. 19)

(51) Int. Cl. 7

識別記号

H 0 4 J 3/00

H 0 4 L 12/28

H 0 4 Q 3/00

F I

H 0 4 J 3/00

U

H 0 4 Q 3/00

H 0 4 L 11/20

F

請求項の数 4

(全 2 2 頁)

(21) 出願番号 特願平8-531415

(86) (22) 出願日 平成7年4月15日 (1995. 4. 15)

(65) 公表番号 特表平11-502086

(43) 公表日 平成11年2月16日 (1999. 2. 16)

(86) 国際出願番号 PCT/EP95/01426

(87) 国際公開番号 W096/33563

(87) 国際公開日 平成8年10月24日 (1996. 10. 24)

審査請求日 平成9年10月9日 (1997. 10. 9)

(73) 特許権者 999999999

インターナショナル・ビジネス・マシー
ズ・コーポレーション

アメリカ合衆国10504、ニューヨーク州ア
ーモンク、オールド・オーチャード・ロー
ド (番地なし)

(72) 発明者 エングバーセン、アントニラス、ポーラス
スイス国リクターヴィル、スピールシュト
ラーセ 63

(72) 発明者 ヘルケルスドルフ、アンドレアス
スイス国アドリスヴィル、フェルデヴェッ
グ 19

(74) 復代理人 999999999

弁理士 山本 仁朗

審査官 近藤 聡

最終頁に続く

(54) 【発明の名称】 電気通信プロセッサ

(57) 【特許請求の範囲】

【請求項 1】 データ信号をSONET/SDHデータ・フレーム
信号に、あるいは逆にマップするデータ通信処理モジュ
ールにおいて、

POH挿入または抽出手段と、

SOHおよびAUポイント挿入または抽出手段と、

スクランブル手段と、

第1のエラー検出信号B1の値を判定する手段と、

第2のエラー検出信号B3の値を判定する手段と、

同じ種類の隣接するモジュールの対応するインタフェ
ースに接続可能な少なくとも2つのインタフェース (T6、

T7; R6、R7) を有しており、前記第1のエラー検出信号B

1に関連した信号を送受信する第1のスイッチ手段であ

って、前記インタフェースの1つ (T7、R7) に接続され

た第1の入力、前記インタフェースの他のもの (T6、R

6) に接続された第1の出力、前記第1のエラー検出信
号B1の値を判定する手段に接続された第2の入力、およ
び前記SOHおよびAUポイント挿入または抽出手段に接続
された第2の出力を有し、前記第1および第2の入力を
前記第1および第2の出力に選択的に接続可能なもの
と、

同じ種類の隣接するモジュールの対応するインタフェ
ースに接続可能な少なくとも2つのインタフェース (T2、
T3; R2、R3) を有しており、前記第2のエラー検出信号B

3に関連した信号を送受信する第2のスイッチ手段であ

って、前記インタフェースの1つ (T3、R3) に接続され

た第1の入力、前記インタフェースの他のもの (T2、R

2) に接続された第1の出力、前記第2のエラー検出信

号B3の値を判定する手段に接続された第2の入力、およ

び前記POH挿入または抽出手段に接続された第2の出力

を有し、前記第 1 および第 2 の入力を前記第 1 および第 2 の出力に選択的に接続可能なものと、
 同じ種類の隣接するモジュールに接続可能な、同期化信号を送送する同期化ポート (T8;R8) と、
 前記スクランブル手段を同じ種類の隣接するモジュールのスクランブル手段に接続するインタフェース (T4、T5;R4、R5) と
 を有しているモジュール。

【請求項 2】 ATMセル・ペイロードをスクランブルおよびスクランブル解除する ATM アダプタ部をさらに備えており、該部分が同じ種類の隣接するモジュールの ATM アダプタ部への接続用のインタフェース (T0、T1;R0、R1) を有している請求項 1 に記載のモジュール。

【請求項 3】 請求項 1 による複数のモジュールと、前記モジュールのデータ信号をインタリーブする多重化手段 (MUX) とを備えているデータ通信プロセッサ。

【請求項 4】 請求項 1 による複数のモジュールと、前記モジュールのデータ信号をインタリーブする多重化手段とを備えており、前記モジュールが等しいクロック速度を有しており、該クロック速度が前記多重化手段を動作させるものよりも遅いデータ通信プロセッサ。

【発明の詳細な説明】

技術分野

本発明は単独で、あるいは他の同様なモジュールと組み合わせて使用して、SONET/SDH 規格信号との間のインタフェース回路を提供するモジュールに関する。本発明は 1 つまたは複数のこのようなモジュールを用いた SONET/SDH インタフェース回路にも関する。本発明のモジュールは特定用途向け集積回路の形態をとることができる。

背景技術

米国規格協会は最近、高速多重化デジタル伝送の基本規格を設定した。これが「同期光ネットワーク (synchronous optical network)」規格であり、以下では SONET と呼ぶ。SONET 規格は光ファイバ・ネットワークによる多重化デジタル伝送に関する光インターフェース、データ率、操作手順およびフレーム構造を規定している。

国際電気通信連合 (International Telecommunication Union、ITU) は SONET のインタフェース原理を採択し、高速デジタル・データ伝送に関する新しい大域伝送規格を勧告している。この規格が「同期デジタル階層 (synchronous digital hierarchy (SDH))」である。

SDH 規格に関して、文書番号が「Temporary Document 62 (3/15)」で、「Geneva, 16-27 May 1994」という日付の ITU International Telecommunication Standardization Sector の「STUDY GROUP 15」の「REPORT OF Q.22/15 MEETING」という題名の報告書を参照されたい。

SDH 規格は製造業者が次のような電気通信機器を開発することができるように構成されている。

a) その規格に合わせて世界中に構築されたすべての電気通信ネットワークで交換可能な機器。

b) 下位互換性がある、すなわち北米、ヨーロッパおよび日本で使用されている古い電気通信フォーマットのデータとともに使用することのできる機器。

これはいわゆる「コンテナ」(C) および「仮想コンテナ」(VC) の複雑な階層によって達成される (第 1 図参照)。コンテナ、たとえば C-4、C-3、C-12 などとは特定の伝送率を有するデータ・トラフィックに適合するように設計された情報構造である。C-4 は最大 13 9264 kbit/s の基本速度を有するトラフィックを搬送し、C-3 コンテナは最大 44739 または 34368 kbit/s いずれかを搬送するなどである。コンテナはこれにパス・オーバーヘッド情報 (Path OverHead、POH) を追加することによって、仮想コンテナにされる。多重化、マッピング、または整合として定義されている手順によって、SDH を構成するデータ構造が生成される。これらのデータ構造を「管理ユニット・グループ」(Administrative Unit Groups、AUG) および「同期トランスポート・モジュール」(STM) と呼ぶ。STM のラベルはこれが搬送する AUG の数によって定義される。たとえば、STM-4 は 4 つの AUG を含んでいる。AUG はタイプ 4 の「管理ユニット」(Administration Units、AUS) 1 つ、または 3 つの AU-3 のいずれかを含んでいる。もっとも単純な場合を参照すると、1 つの AU-4 は 1 つの C-4 信号を含んでおり、1 つの AU-3 は 1 つの C-3 信号を搬送するなどとなっている。

SDH/SONET データ・フレーム、すなわち STM-N 信号は長さが 125 マイクロ秒である。各フレームで伝送されるデータの量は信号の階層レベル N によって決定される。高い階層レベルは約 155 Mbit/s の基本 STM-1 レベルよりも高いデータ転送率で伝送される。(正確な伝送速度は 155.52 Mbit/s と定義される。しかしながら、以下において、伝送速度はしばしばその概略値で示される。これは特に、正確な伝送速度がオーバーヘッド・データ・トラフィックおよび遊休セルの埋込によってわずかに異なる。) 整数 N は STM-1 レベルの何倍の速度でデータが伝送されるかを示す。たとえば、STM-4 は 622 Mbit/s のデータ伝送率を示し、これによって各データ・フレームは STM-1 のフレームの 4 倍のバイト数を含む。定義されるもっとも高いレベルは STM-64 であり、これは 9.95 Gb/s のデータ転送率を示している。STM-N 信号の各部分が STM-1 信号の対応する部分と同時にブロードキャストされるが、N 倍のバイト数を有している。

STM-1 信号は第 2 図に示すように、155.52 Mbit/s の SONET/SDH データ転送率に対応した 270 バイト/行で 9 行の情報矩形を含んでいる。最初の 9 バイト/行は以下で SOH という「セクション・オーバーヘッド」(Section OverHead) を表す。残りの 261 バイト/行は、第 1 図においては VC-4 である VC に予約されている。VC-4 コンテナ

の第1欄は「パス・オーバーヘッド」(POH)で構成されている。残りはペイロード(C-4信号)で占められている。いくつかのVCをつないで、対応する帯域幅を備えた単一の伝送チャネルを提供することができる。たとえば、STM-4信号の4つのVC-4をつないで、約600Mbit/sの容量を有する単一のデータ・チャネルを形成することができる。この場合、4つのVCを標準的な用語では、VC-4-4Cと呼び、信号をSTM-4cと呼ぶ。

SDH規格のこの融通性は一部はポインタの概念によるものである。SDHにおいて、フレームは同期化されているが、これらの内部のVCはフレームにロックされていない。したがって、SDH信号の個々のコンテナは互いに整合または同期したフレームである必要はない。「ポインタ」はセクション・オーバーヘッドに設けられており、上述のPOHの位置、すなわちSDHフレームにおける仮想コンテナの開始位置を示す。それ故、POHをフレーム内の任意の位置に柔軟に配置することができる。高位のSDHフレームへの情報の多重化は従来のデータ規格におけるよりも簡単になり、高価な同期化バッファがSDHで必要なくなる。同様に、低位の信号を抽出し、信号階層全体の多重化解除を必要とすることなく、高位のSDH信号に挿入することができる。ポインタはセクション・オーバーヘッドの4行目に格納される。

セクション・オーバーヘッドはさらに次のものに分割される。

(i) 「リジェネレータ・セクション・オーバーヘッド (Regenerator Section Overhead)」すなわちRSOH。これはSONET/SDH信号が通過するルートに沿った中継局によって使用される情報のバイトを含んでいる。リジェネレータ・セクション・オーバーヘッドはセクション・オーバーヘッドの行1-3を占めている。(ii) 「マルチプレクサ・セクション・オーバーヘッド (Multiplexer Section Overhead)」すなわちMSOH。これはSONET/SDH信号のルートに沿ったマルチプレクサによって使用される情報のバイトを含んでいる。マルチプレクサ・セクション・オーバーヘッドはセクション・オーバーヘッドの行5-9を占めている。オーバーヘッドのこれらの部分は伝送プロセスのさまざまな段階でアセンブルされ、アセンブル解除される。第2図はMSOHの分解図も示している。

並列SONETシステムにおいては、51.84Mbit/sの基本信号が使用されている。これを同期トランスポート信号レベル1、STS-1と呼ぶ。これは90バイト/行で9行の情報矩形を有している。最初の3バイト/行はセクション・オーバーヘッドであり、他の87バイト/行は「同期ペイロード・エンベロープ (synchronous payload envelope)」、SPEである。これらのSPEのうち3つは1つの仮想コンテナ4に正確に適合する。それ故、STS-1信号フォーマットの信号をSTM-1フレームにマップすることができる。さらに、フレームに整合したSTS-1またはSTM-1信号を高位のSTM-Nフレームに多重化する

ことができる。

一般に、他のこのような信号とともに高いデータ転送率の新しいデータ・フレームに組み合わされる低いデータ転送率の信号を、「従属」信号と呼ぶ。たとえば、上記において、1つのSTM-1信号に組み合わされる3つのSTS-1信号は従属信号である。SDHにおけるレベル間信号マッピングを説明するのににも使用されるものであるため、本明細書における従属という用語の範囲が、標準的な定義を超えていることに留意されたい。

10 本発明はデータ、すなわち従属データをSDH/SONETフォーマットとの間でマッピングするデータ処理モジュールに関する。本発明によって達成されるデータ処理は、特に、比較的低い転送率のデータを、比較的データ転送率の高い標準データ・フレームに、あるいは逆にコンパイルすることに関する。

製造業者の中には、SDH/SONET規格に適合したデータ処理モジュールをすでに市販している者がいる。これらの従来技術の構成の中には、大手の通信業者またはその供給業者が設計した、既存の専有機器をSONET/SDHに接続するためのさまざまな電気光トランシーバ・モジュールがある。他の会社、主にチップ製造業者はSONET/SDHプロセッサASICないしチップ・セットを提供しており、これはSTM-1フォーマットの信号にインタフェースする。PMC SIERRAが提供しており、PM53XXファミリーといわれるチップ・ファミリーはこのようなセットの例である。周知のセットには重大な欠点があり、これは本発明が達成される真のモジュール手法を妨げるものである。ATMの155Mbit/sトラフィックを、この種の3つの他のチップと組み合わせられたSTM-1信号にマップするのに使用されるチップは、STM-4信号を発生するのに十分な(かつ、適切な相互接続を備えた)ものではない。周知の構成のトランシーバは従属信号をSTM信号に多重化し、SOHおよびPOHの、フレーム全体、すなわちコンテナ全体、に関連している部分、たとえばPOHバイトB3およびSOHバイトB1を導出する、付加的な複雑で高価なチップを必要とする。さらに、4つのチップのいくつかの機能を使用不能として、これらのチップを組み合わせることができるようにしなければならず、またこれらは各々がSTM-1インタフェースとしてもはや機能しないようにする。さらに、この構成は個別の着信データ信号、たとえばATMの155Mbit/s信号をSTM-4にインタフェースできるだけである。ATMの622Mbit/sデータ信号などの信号着信データ・ストリームをSTM-4c信号にマップする必要がある場合には、うまくいかない。

要約すると、入手可能な従来技術のSONET/SDHインタフェースASICは主として、信号をある特定のSTM-Nレベルにインタフェースすることを目的としたものである。専用の高価なチップが、SDH階層の高いレベルへの部分的にモジュール式の手法を試みるというまれな場合に使用されている。周知のデバイスを表している他の例

が米国特許第5257261号に記載されている。この特許においては、複数の低レベルのSONET信号を高レベルのSONET信号に接続する装置および方法が提供される。そのうちの1つがマスタ装置として働く少なくとも3つの低レベルの信号処理装置の上述の構成においては、POHの特定のバイト（J1バイト）を使用して、各装置のデータ・ストリームの読取りを同期させる。この装置は以前のSONET/SDH信号のVCのすべてのビットに対して計算されたパリティ・ビットであるB3バイトを計算することができる。各低レベル装置はJ1ORコンポジット信号を伝送する1本のバス、J1ANDコンポジット信号用の1本のバス、（受信）rxJ1信号用の1本のバス、ならびにSONET規格内で上述のVCに対応しているSPEの送受信を調整するために、マスタ装置が受信（rxSPE）信号と送信（txSPE）信号を発行する他の2本のバスによって隣接する装置に接続されている。受信モードおよび送信モードにおけるB3バイトを計算するために、隣接する装置が付加的なライン対によって接続されている。

周知の従来技術に鑑み、本発明の目的は任意の従属信号からSONET/SDH準拠信号を生成する装置を提供することである。本装置の構成は上記規格の任意のレベルまでスケラブルであって、このような構成内での相互接続およびハードウェアの付加的な量を絶対に必要と見なされるものに限定できるものでなければならない。

発明の開示

本発明の目的は添付の請求の範囲に記載する装置によって達成される。新しい装置は、同期光ネットワーク（SONET）および同期デジタル階層（SDH）の現在定義されているすべてのレベル、たとえばSTS-1、STM-1、STM-4、STM-16およびSTM-64などに、これらのこの種の他のものと組み合わせた場合に適合できることを特徴としている。この組合せにおいて、現在、たとえばSTS-3c、STM-4c、STS-12cおよびSTM-16cなどの信号として定義されている連結データ・セグメントをサービスすることもできる。結局、SDH階層の信号に言及する場合、同等な言明がSONET階層の信号に当てはまることを意味する。当分野に関するこのような改善には、モジュール性の大幅な増加を伴う。新しい装置を異なる信号レベルに適合させるには、付加的なハードウェアおよび水平接続がより少ないものである必要がある。さらに、任意の定義済みの信号転送率で動作するSONET/SDHプロセッサを実施する部品番号は1つだけである。

本発明によれば、送信（Tx）バージョンの基本モジュールはPOH挿入部と、SOHおよびAUポインタ挿入部と、スクランブル部とを備えている。さらに、基本モジュールはすべてのPOHおよびSOHバイト、特にエラー監視に使用されるバイト、すなわちB1、B2、およびB3バイトを必要に応じ、SDH/SONET規格によって計算する手段を備えている。基本モジュールの受信（Rx）バージョンはフレーム輪郭部と、スクランブル解除部と、B1およびB2検証部

を含むSOH抽出部と、B3検証部を含むPOH抽出部とを備えている。TxおよびRxモジュールの機能部分が少なくとも大部分でミラー状態であることは明らかである。

上述の機能部分はすべて、関連するITU規格勧告（Gシリーズ）に記載されている。これらはそれ故、本発明とは特別な関係はない。これらの部分の適切な機能は、データ・ストリーム、たとえばOC-3/ATMセル・ストリームがSTM-1信号に適切にマップされること、また反対に、STM-1信号をクリア・データ・ストリームに戻せることを保証する。以下において、このマッピングまたは変換プロセスを、以下で説明する組合せにおける隣接モジュールの間に生じる「水平」信号フローと対照的に、「垂直」信号フローないしデータ・フローと呼ぶことがある。

水平信号フロー、すなわちいくつかの上述の基本モジュールの間で交換されるデータに与えられるインタフェースを、本発明の特徴と見なすことができる。これらのインタフェースの主要部は、2つの入力接続が可能であり、また2つの出力接続が可能である第1のスイッチング手段によって形成されている。スタンドアロン・モードにおいて、すなわちSTM-1信号との間でマッピングを行う場合、スイッチはB3計算部をPOH部に接続する。基本モジュールを他の基本モジュールと組み合わせる場合、すなわち高い信号レベルの連結タイプ（STM-Nc）との間でマッピングを行う場合、他のモジュールの間でのモジュールの位置に応じて、B3スイッチング手段は異なる構成とされる。第2のインタフェースは、これも2つの入力接続が可能であり、また2つの出力接続が可能である第2のスイッチング手段を含んでいる。もちろん、インタフェースの幅はデータもしくは制御信号が並列に伝送されるのか、あるいはマルチプレクサを介して伝送されるのかに応じて異なる。

スタンドアロン・モードにおいて、STM-1との間でマッピングを行う場合、スイッチはB1計算部をSOH部へ接続する。基本モジュールを他の基本モジュールと組合せて使用する場合、すなわち高位信号レベル（STM-NおよびSTM-Nc）との間でマッピングする場合、他のモジュールの間でのモジュールの位置に応じて、B1スイッチング手段は異なる構成とされる。B1およびB3両方のスイッチング手段はハードウェアおよびソフトウェア手段によって、さまざまな態様で実現される。

組み合わせた場合、基本モジュールは同期化部によって同期化され、システム・クロック信号およびフレームsync信号が送受信される構成を形成する。システム・クロックまたはビット・クロックはSDH/SONET信号から復元される。このような信号が利用できない場合、ビット・クロックを内部発振回路から導くこともできる。フレームsync信号は、SONET/SDH規格によれば、フレームの先頭に現れるA1ないしA2バイトから導くのが好ましい。前記特許US-A-5257261に関し、本発明が同期化信号

を導くために、フレームのペイロード、たとえばJ1内部からのバイトを使用することを企図しているものではないことは注目に値するものである。それ故、本発明は周知の装置とは対照的に、SONET/SDH規格に完全に準拠するものである。単独の各モジュールが動作するクロック速度が、モジュールがスタンドアロン・モードで用いられているのか、たとえばSTM-4、STM-4c、STM-64などの信号をマップする構成で用いられているのかに関わりなく同じままであることは、本発明のその他の利点と見なされるものである。

基本モジュールの好ましい実施の形態において、スクランブル部には、他のモジュールに対するインタフェースが設けられ、隣接するモジュールの間でのコーディング・シーケンスの水平の交換が可能となっている。基本モジュールのこの変形は連結信号に基本モジュールを使用することを可能とする。

他の好ましい実施の態様はATM（非同期転送モード）アダプタ部を備えており、これは基本モジュールの送信（Tx）バージョンの場合には、基本的に自動同期化スクランブラである。その生成多項式は規格の規定により $X^{40}+1$ であることが好ましい。（Rx）バージョンにおいては、スクランブラは同じ多項式に基づいてデスクランブラで置き換えられる。ATM部はデータ・ストリームにビットまたはバイトを埋め込む他の手段と、ATMセル・ペイロードをワード整合で行えるようにデータを後続段に伝送する場合に、これらの埋込情報を抽出する手段とを含んでいることが好ましい。5バイトのセル・ヘッダはスクランブルされるものではない。セルをユーザから受信しない場合、完全な遊休セルがそれぞれ挿入され（伝送方向）、除去される（受信方向）。

本発明の特性と考えられるこれらおよびその他の新規な特徴を添付のクレームに記載する。しかしながら、本発明自体、ならびに好ましい使用モード、およびその他の目的と利点は、添付図面に関連して読んだ場合に、例示的な実施の形態の以下の詳細な説明を参照することによってもっともよく理解されよう。

図面の簡単な説明

以下の図面を参照して、本発明を以下で詳細に説明する。

第1図はSTM-N信号までのSDH信号階層の概要を示す図である。

第2図は規格の規定によるVC-4コンテナを備えたSTM-1信号の図である。

第3A図、第3B図はそれぞれ本発明による基本モジュールの送信（Tx）バージョンおよび受信（Rx）バージョンを示す図である。

第4A図、第4B図は第3A図、第3B図の実施の形態のATM部の詳細を示す図である。

第5図はフレーム同期化スクランブル部の詳細図である。

第6図は4つのATMタイプの従属物をSTM-4信号へマップする4つの基本モジュールの構成を示す図である。

第7図はSTM-4c信号をATMの622Mbit/秒信号にマップする4つの基本モジュールの構成を示す図である。

第8図はATMの622Mbit/秒信号をSTM-4c信号にマップする4つの基本モジュールの構成を示す図である。

第9図は4つのATMの622Mbit/秒信号にマップする16の基本モジュールの構成を示す図である。

発明の好ましい実施例

第3A図および第3B図は本発明のモジュールの例を示す。第3A図に示したモジュールは155Mbit/sのATMセル・ストリーム、すなわちATMデータ・フォーマットの信号を、送信方向にSONET/SDH STM-1信号にマップする。第3B図に示したモジュールはSONET/SDH規格のSTM-1信号を、受信方向に155Mbit/sのATMセル・ストリームにマップする。上記のように、送信方向をTxで示し、受信方向をRxで示す。第3A図および第3B図のモジュールはデータ転送率を変化させるものではない。これらの機能はデータのフォーマットを変換するものである。便宜上、上記のデータ転送率は概算値を表しており、実際には遊休セルやビット埋込によってさらにひずむことがある。

モジュールがATMセル・ストリームではなく、他の従属データ・ストリームをSTM-1フォーマットへ、またこのフォーマットからインタフェースする場合には、

(i) Txモジュールの「ATM遊休セル挿入およびペイロード・スクランブル」機能、ならびに

(ii) Rxモジュールの「ATM遊休セル除去およびセル・ペイロード・スクランブル解除」機能を

使用不能とするか、バイパスするか、あるいは他のデータ・フォーマットをSTM-1信号にパッケージするようになされた対応する部分と置き換えるかする。

第3図に示したモジュールは図の各種の機能ブロックによって示されている基本サブ機能も有している。「フレーム輪郭」機能はRxモジュールだけに必要である。TxおよびRxモジュールの他のサブ機能ブロック、それぞれ互いにミラー状態となっている。

SONET/SDH規格による第3図のブロックによって実行されるサブ機能のその他の詳細は、ITU規格勧告（Gシリーズ）に記載されている。これらの勧告は関連する技術分野に積極的に関与している人間には周知のものであり、一般に入手可能である。特に関心が持たれているのはG.707、G.708、G.709および以前のものをまとめたG.70X、ならびにG.782「同期デジタル階層（SDH）機器のタイプと一般的特性」、報告書COM XV-R 110E、およびG.783「同期デジタル階層（SDH）機器機能ブロックの特性」、報告書COM XV-R 110Eであり、これらはすべて本発明書の一部をなすものである。さらに、スクランブル機構のすべての現行タイプの詳細は、たとえば、B. G. LeeおよびS. C. Leeによって「Scrambling Techniques for Digital Transmission」、Springer Verla

g、London 1994で詳細に記載されている。これらの規格に記載されている機能および第3図の機能ブロックによって実行される基本サブ機能は、すべてのSONET/SDHプロセッサ・システムに共通なものである。本実施の形態のこれらの特徴の詳細な説明は当分野の技術者に付加的な情報を与えるものではなく、本発明の他の関連する特徴から目を逸らさせることさえあるから、ある構成における単独のモジュールの間の（水平な）情報交換を説明するのに役立つと思われる機能を除き、詳細な説明を省略する。

第3図のモジュールは、本発明にしたがって、上記の規格を満たすのに必要な基本サブ機能以外の付加的な特徴を有している。

第1の付加特徴はいくつかの平行およびシリアル・モジュール間インタフェースないしポートである。これらのインタフェースには、送信機の場合、第3A図においてT0-T8というラベルが、また受信機の場合、第3B図においてR0-R8というラベルが付けられている。

インタフェースT0、T1およびR0、R1は連結ATM信号、たとえばATMの622Mbit/sトラフィックが数個のモジュールの構成を通過する場合に使用される。主として自動同期化タイプのデスクランブラを備えている、各モジュールのATM部は原則として、データ・ストリーム全体にアクセスする必要がある。さらに、スクランブルのために、ATM部はATMスクランブル部へのワード整合入力を達成するのに必要な埋込機能および埋込解除機能も備えている。このような埋込機能および埋込解除機能は当分野で周知であり、実施の形態においては、後続部へデータを伝送するときに付加的なあるいは少ない数の遊休クロック・サイクルを導入することによって実現される。

これらの機能を実行するには、セル・スクランブラの前後でフル・データ・ストリーム、すなわち $N \times 8$ ビットにアクセスすることが必要である。高いクロック速度を回避して、 $N \times 8$ 信号全体をモジュールの間で交換する必要がある。STM-4cの場合の受信機については、インタフェースR0およびR1が同じ情報フローを取り扱って、スクランブル解除およびパッキング解除を行う。上述したように、これらの水平信号が、たとえば2地点間（隣接局との直接接続のみ）、バスベース（シングルポイント・ツウ・マルチポイントまたはマルチポイント・ツウ・シングルポイント）、または交換機ベース（ $N \times 8$ ビット交換機）のいずれかによって実現できるため、これらの数値は必ずしもセル・インタフェースのビット幅と相関している必要はない。

第4A図はTxモジュールがスタンドアロン・モードで、すなわち8ビット幅のATMセル・ストリームに対する自動同期化スクランブラとして動作している場合のATMスクランブル部の構成の詳細を示す。ITUの勧告によれば、セル・ヘッダはスクランブルされない。それ故、セル・ヘッダはマルチプレクサM1を介してポート02に直接

出力する（入力ポート12は出力01に接続され、スクランブラのクロッキングを使用不能としている）。ペイロードはXOR ARRAY（スクランブラのクロッキングが使用可能）を通すことによってスクランブルされ、最終的に、マルチプレクサM1を介してポート02に出力する（入力ポート11は出力02に接続されている）。XOR ARRAYに戻るレジスタC5およびC6から取られたフィードバックとともにレジスタ・ブロックC1ないしC6は、生成多項式 $X^{13} + 1$ に基づく平行・ランダム・シーケンスの生成を表す。自動同期化スクランブラの原理の特性のため、先頭をセットするものだけが必要であり、スクランブラに対して更に定期的に再同期化することは必要ない。

第4B図は4つのモジュールに多重化することによって分散される32ビットATMセル・ストリームに対するTxモジュールの自動同期化スクランブラの構成を示す。ペイロードは上述のように、データ・バスに対してワード整合されている。必要な埋込はセル・ヘッダに後続していても、先行していてもかまわない。さらに、セル・ヘッダはスクランブルされず、最終的に、マルチプレクサM1を介して02に出力される（入力ポート12は出力01に接続され、スクランブル・クロッキングを使用不能としている）。ペイロードはXOR ARRAY（スクランブラ入力使用可能）を通すことによってスクランブルされ、最終的に、マルチプレクサM1（入力ポート11は出力01に接続されている）を介してセルを再度バック・ツウ・バックにバックした後02に出力される。4×8ビット・データ・バス幅に対して多項式 $X^{13} + 1$ を実施するために、4つのモジュールがスタンドアロンの場合に全面的に用いられているレジスタのサブセットを使用している（第4A図）。それ故、1つの8ビットレジスタ段C1を備えている2つのレジスタ（この構成は第4B図に示されている）、2つのカスケード接続された8ビット・レジスタ段（第4A図のC1、C2）を備えている第3のモジュール、および1つの8ビットおよび1つの3ビットのカスケード接続されたレジスタ段（第4A図のC6）を備えている第4のモジュールが使用される。検討しているモジュールの場合、XOR ARRAYへのフィードバックは常に、隣接するモジュールの最終レジスタ段から取られている。したがって、すべてのモジュールの最終レジスタ段のすべての出力は、T0およびT1を介して、すべてのモジュールの間で交換される。

インタフェースT2（R2）およびT3（R3）を使用して、個別に収集され、計算されたB3を1つのモジュールから隣接するモジュールへ送る（第3A図、第3B図参照）。これらのインタフェースはスイッチング論理11（13）へ接続され、これはスタンドアロン・モードにおいてB3計算部の出力をPOH挿入部（Txモジュールにおいて）へ、あるいはPOH抽出/B3検証部へ伝送する。いくつかのモジュールを相互接続して構成している場合、スイッチ論理はa)「第1」のモジュールにおいて、インタフェースT2

(R2) を介して、R3計算の出力を構成内の次のモジュールへ渡すように切り替えられ、b) 中間モジュールにおいて、1つのオペランドを内部B3計算部の出力とし、第2のオペランドをインタフェースT3 (R3) で受信する入力として、XOR演算を行い、XOR演算の結果をインタフェースT2 (R2) を介して渡すように切り替え、c) 最後のモジュールにおいては、同一のXOR演算を行うが、ただし、その結果をPOH挿入部へ、またはPOH抽出/B3検証部へそれぞれ伝送するように切り替えられる。

インタフェースT6 (R6) およびT7 (R7) を使用して、モジュール個別に収集され、計算されたB1項を1つのモジュールから隣接するモジュールへ送る。これらのインタフェースはスイッチ論理12 (I4) に接続されており、この論理はスタンドアロン・モードにおいて、B1計算部の出力をSOH挿入部 (Txモジュールにおいて) へ、またはSOH抽出/B1検証部へ伝送する。いくつかのモジュールが相互接続されて構成されている場合、スイッチ論理はa) 「第1」のモジュールにおいて、インタフェースT6 (R6) を介して、B1計算の出力を構成内の次のモジュールへ渡すように切り替えられ、b) 中間モジュールにおいて、1つのオペランドを内部B1計算部の出力とし、第2のオペランドをインタフェースT7 (R7) で受信する入力として、XOR演算を行い、このXOR演算の結果をインタフェースT6 (R6) を介して渡すように切り替えられ、c) 構成の最後のモジュールにおいて、同一のXOR演算を行うが、ただし、その結果をSOH挿入部へ、またはSOH抽出/B1検証部へそれぞれ伝送するように切り替えられる。

STM-1よりも高位のSONET/SDH信号 (たとえば、STM-4、STM-4c) に対して、インタフェースT4およびT5はSONET/SDHフレーム同期化パラレル・スクランブラの個別のビット位置との間でのフィードバック情報の交換を表す。この場合も、フレーム同期スクランブルの周知の詳細に踏み込むことなく、各スクランブラまたはデスクランブラをレジスタ・チェーンと見なすことができ、レジスタの内容はデータ・ストリームの同数のビットをモジュロ2加算したものである。しかしながら、レジスタの内容も次のクロック・サイクルでレジスタの内容を *

*生成するためのフィードバックとして必要である。それ故、各モジュール内のスクランブラは原則として、155基本信号 (STM-1) よりも大きい信号を変換するとき、他のモジュールのレジスタのレジスタ内容を必要とする。しかしながら、レジスタ内容が特性により、多項式を生成することにより決定される周期性を有している場合、1つのモジュールのレジスタ内容を伝送だけを必要とする低減フィードバック手法を見いだすことができる。

この手法は第5図を参照することにより、もっともよく明確なものとすることができる。同図には、4つのモジュールの構成、すなわちSTM-4 (c) の場合におけるスクランプリングが示されている。各モジュールのスクランブル部は8つのレジスタのチェーン55を備えており、その内容が8ビット幅のデータ・ストリーム56に並列に追加される。さらに、各モジュールはXOR ARRAYを備えており、これにはスクランブラが必要とするフィードバックを与えるために、レジスタの内容Cが接続されている。スタンドアロン・モードにおいて、XOR ARRAYは内部レジスタ・チェーン、たとえば右から一番目のモジュールにおけるモジュールに対するC0-C7からの入力を受け取る。32ビット幅のデータ・ストリームD0-D31を4つのパラレル・モジュールが処理する場合、このモジュールは他のすべてのモジュール、すなわちC8-C31のレジスタ内容、あるいは、上述のように、1つだけのレジスタ・チェーン、たとえばC24-C31の内容のいずれかを受け取る。後者の場合を第5図のサンプルに示す。モジュール内での考えられるすべての構成、すなわち4、16さらにはそれ以上のモジュールの組合せに対して異なるXOR ARRAYの構成を与えることは、このようなこととなる構成の数が限定されており、XORアレイの設計の基礎となる組合せ論理が非常に複雑だということではないため、当分野の技術者に問題となることはない。多項式 $X^7 + X^6 + 1$ およびバイト (レジスタC25-C31) のみから取ったフィードバックの場合、個々のレジスタの各々に対するXOR ARRAYのレイアウトを画定する組合せ関数は、以下の式のセットで与えられる。

C31, in=C25, out+C27, out+C28, out+C29, out
C30, in=C25, out+C26, out+C27, out+C28, out+C31, out
C29, in=C26, out+C27, out+C30, out+C31, out
C28, in=C25, out+C26, out+C29, out+C30, out
C27, in=C28, out+C29, out+C31
C26, in=C27, out+C28, out+C30, out
C25, in=C26, out+C27, out+C29, out
C24, in=C25, out+C26, out+C28, out
C23, in=C27, out+C31, out
C22, in=C26, out+C30, out
C21, in=C25, out+C29, out
C20, in=C25, out+C28, out+C31, out

$C19, in = C25, out + C27, out + C30, out + C31, out$
 $C18, in = C25, out + C26, out + C29, out + C30, out + C31, out$
 $C17, in = C28, out + C29, out + C30, out + C31, out$
 $C16, in = C27, out + C28, out + C29, out + C30, out$
 $C15, in = C26, out + C27, out + C28, out + C29, out$
 $C14, in = C25, out + C26, out + C27, out + C28, out$
 $C13, in = C26, out + C27, out + C31, out$
 $C12, in = C25, out + C26, out + C30, out$
 $C11, in = C29, out + C31, out$
 $C10, in = C28, out + C30, out$
 $C9, in = C27, out + C29, out$
 $C8, in = C26, out + C28, out$
 $C7, in = C25, out + C27, out$
 $C6, in = C25, out + C26, out + C31, out$
 $C5, in = C30, out + C31, out$
 $C4, in = C29, out + C30, out$
 $C3, in = C28, out + C29, out$
 $C2, in = C27, out + C28, out$
 $C1, in = C26, out + C27, out$
 $C0, in = C25, out + C26, out$

受信機の場合、インタフェースR4およびR5が、SONET/SDHフレーム・パラレル・フレーム同期化スクランブル解除に関して同じ情報フローを処理する。

これらのインタフェースをサポートするためのモジュール内機能の適切なスイッチ手段が、本発明の第2の付加的な特徴と考えられる。モジュールのレジスタはそれ故、それ自体以外の他のRxまたはTxモジュールからの入力を受け入れることができる。この拡張により、基本モジュールを希望するとおりに構成することができる。上記に加えて、いくつかのモジュールの特定の構成を参照して、異なる構成を以下で説明する。

第3の付加的な特徴はモジュール間でシステム・クロックとフレームsync信号を交換するための同期化ポートT8、R8からなる。同期化ポートはいくつかの動作モードを選択することを可能とする構成レジスタを含んでいる。Txモジュールが、それ故SONET/SDH回線が利用できる場合、クロック抽出回路がビット・クロック、バイト・クロックおよびフレームsync信号を与える。これらの信号は次いで、すべての実装されているモジュールおよびその構成部品に分配される。クロック抽出回路は電気光信号変換および多重化装置の間におかれている。各種のクロック信号、特に重要なのはフレームsync信号を多重化装置および各モジュールに並列に、すなわち同時に分配することも、ある構成の1つのモジュールからファンアウトすることもでき、この構成は次いで、信号を並列

(ポイントツウマルチポイント) 式に、あるいはカスケード(隣接するモジュールの間の2地点間伝送)式に、同期化ポートを介して他のモジュールに伝送する。この後者のモードをマスタスレーブ・モードと見なすこともできる。マスタスレーブ・モードにおいて、フレームsy

nc信号は、時間を遅延させて、各モジュールによって受信される。しかしながら、これらの遅延が固定されているため、各モジュールのデータ・フローを適切に同期させる、適切にプリセットされたタイマ、カウンタ、あるいはバッファによって、これらの影響を簡単に中和させることができる。クロックの抽出をモジュールの1つに統合することもできる。この代替策はしかしながら、本発明の主たる態様であるモジュール手法と対照的なものである。

30 他のクロック操作モードはモジュールと同じ基板またはチップに取り付けるか、あるいは完全なシステムの一部、すなわち別な基板の一部として取り付けるかのいずれかによる内部発振回路を含んでいる。異なるクロック回路をスイッチ手段によって接続し、故障が起こった場合に他のものと置き換えられるようにする。

これらの付加的な特徴のすべてを組み合わせることにより、モジュールが本発明にしたがって機能する、すなわち単独で、あるいは類似したモジュールのアセンブリの一部として機能するようにすることが可能である。これらの特徴は、従来技術に関連して本願で上述した周知のSONET/SDHインタフェースのいずれにおいても示されていないものである。モジュール自体は規格に準拠したものと変わりはないが、モジュールなどの他のものと「チームワーク」を行う機能が与えられている。

上記で導入したモジュールは汎用のものである。すなわち、任意の標準化されたSONET/SDH信号レベルにおいて任意のSONET/SDHプロセッサを構築するために使用することができる。本発明の重要な利点は、クロック速度(システム・クロック)がすべてのレベルに対して同じままである、すなわちSTM-64信号であっても19.44MHz

であることである。STM-4およびSTM-16レベルにおけるSONET/SDHプロセッサの例を、第6図ないし第9図に示す。モジュール間インタフェースおよびモジュールのレジスタの正確な機能については、以下で説明する。GSTM-1という略語を以下で、本発明による汎用STM-1モジュールに使用する。

STM-1モジュールにおける本発明のモジュールの機能

第3A図および第3B図の構成において、モジュールは基本的なSTM-1モードで動作している。このモードにおいて、モジュールの各々は単独で動作する。これを行うため、これらのスイッチング装置11、12（13、14）は内部接続3-1に設定されている。すべての他のインタフェースは「IGNORE」状態に設定されている。他のインタフェースはそれ故、STM-1モードの動作では考慮されない。接続がすでに存在している場合には、これらは他のモジュールに接続したままとしておくことができる。このことはスイッチング要素が適切に設定されていれば、機能に影響を及ぼすことはない。

STM-4モジュールにおける本発明のモジュールの機能

STM-4モジュールにおいては、4つのGSTM-1 Txタイプモジュールが第6図に示すように相互接続される。この構成、ならびに以下の構成において、モジュールはT4およびT5によって相互接続されて、上述のようにスクランブル・データを交換する。また、第2ないし第4（左から）のGSTM-1 Txモジュールはそれぞれ、第1ないし第3のGSTM-1モジュールのT7インタフェースに接続されている。対応するスイッチの構成は右側のモジュールについては3-2、中間のモジュールについては3-2/4-2である。第1のGSTM-1 Txモジュールはスイッチ構成3-1/4-1にしたがって、すなわち内部で接続されている。この構成においては、内部BI計算は3つのモジュールにおいてもはやSOH挿入部に接続されていない。内部BI挿入はこれらにおいて使用不能とされている。上述のように、これにより、レジスタ・チェーンは4番目と最初のGSTM-1モジュールの間に確立されている。動作時に、第2ないし第4のGSTM-1モジュールのビットインターリーブ・パリティ8バイトは、結合XOR演算される。この演算の結果は単一バイトであり、これを「BI」バイトと呼ぶ。

BIバイトはSTM-N信号のセクション・オーバーヘッドの一部である。これはSONET/SDHネットワークの中継機によって使用されるセクション・オーバーヘッドの一部におかれる。オーバーヘッドのこの部分が「リジェネレータ・セクション・オーバーヘッド」である（第2図参照）。中継機はセクション・オーバーヘッドのこの部分を使用して、他のSONET/SDHフレーム全体を監視する。BIバイトの特別な機能はSTM-1信号におけるエラー監視を可能とすることである。BIバイトはSTM-N信号がスクランブルされた後、STM-N信号の以前のフレームのすべてのビットについて計算され、スクランブル前に現行のST

N-Nフレームに含められる。

BIバイトの計算に関与するすべてのバイト・シフトおよびXOR演算に利用可能な時間は、伝送されるSONET/SDHフレームの最初の行に対する時間である。これはBIバイトの計算に関する情報がGSTM-1 Txモジュールへ渡されるように、以前のフレーム全体が伝送されていることが必要だからであり、またBIバイトがSTM-4フレームの2番目の行で伝送される最初のバイトであるため、フレームの2番目の行の伝送の開始に間に合うように、BIバイトの計算を完了しなければならない。したがって、BIバイトの計算はSTM-4信号の現行フレームの最初の行が伝送されているときにだけ行うことができる。この時間はフレーム内の行数によって分割された、伝送対象のフレーム全体に対する時間、すなわち14μsである。STM-64信号（9.6Gb/s）の場合でさえ、1回のバイト・シフトおよびXOR演算に利用できる時間は依然として約220nsである。このことは今日のCMOSテクノロジーによって明確にサポートされている。約19MHz（50ns）のクロック速度によってトリガされるモジュールは実際には、さらに高い伝送速度もサポートできるものである。

第6図の構成において、BIバイトは上述のビットインターリーブ・パリティ8バイトを「カスケード」接続することによって計算される。セクション・オーバーヘッドの残りはGSTM-1モジュールの4つのSTM-1セクション・オーバーヘッドによってバイト多重化される。これは単純な多重化演算であり、GSTM-1モジュールの出力を受け取るマルチプレクサで行うことができる。マルチプレクサは本発明の構成のうち、622Mbit/sのSTM-4Tx信号転送率で動作しなければならない唯一の部分である。

第6図はSTM-4Txモジュールを示す。これと類似して、4つのGSTM-1 Rxモジュールを組み合わせ、STM-4信号を受け取ることができ、これによって第6図と逆の手順で個々の従属信号に変換することができる。

STM-4c信号をデータ転送率が622Mbit/sの単一のATMセル・ストリームに変換するために、第7図に示す構成を用いることができる。この構成は622Mbit/sのSTM-4c信号を受信し、これを622Mbit/sのATM信号に変換する。これを行うために、STM-4c信号を次のようにする。

- (i) まず4つの155Mbit/sのデータ・ストリームに多重化解除し、
- (ii) 各々が第3B図（第3A図）に関して説明した構造を有している並列に動作する4つのGSTM-1 Rxモジュールによって処理し、
- (iii) 単一の622Mbit/sのATM信号に多重化する。

STM-4c信号は単一の結合ペイロードを含んでいる。このペイロードは第7図の構成の4つのGSTM-1 Rxモジュールに分散される。

STM-4cモードにおいて、4つのGSTM-1 Rxタイプのモジュールは第7図に示すように相互接続されている。すでに述べたように、スクランブル・データを交換

するためのR4およびR5インタフェースによる相互接続は、変更されていない。また、第2ないし第4（左から）のGSTM-1 RxジュールのR6インタフェースはそれぞれ、第1ないし第3のGSTM-1 モジュールのR7インタフェースに接続されている。対応するスイッチ14の構成は右側のモジュールについては3-2、中間のモジュールについては3-2/4-2である。第1のGSTM-1 Rxモジュールはスイッチ構成3-1/4-1にしたがって、すなわち内部で接続されている。この構成においては、内部B1計算は3つのモジュールにおいてもはやSOH挿入部に接続されていない。内部B1挿入はこれらにおいて使用不能とされている。上述のように、これにより、レジスタ・チェーンは4番目と最初のGSTM-1モジュールの間に確立されている。動作時に、第2ないし第4のGSTM-1モジュールのビットインターリーブ・パリティ8バイトは、結合XOR演算される。この演算の結果は単一バイトであり、これを「B1」バイトと呼ぶ。計算されたB1バイトは次いで、後続のSTM-4c信号（フレーム）のSOHから抽出されたものと比較される。

BIP-8 B3バイトはSTM-4cのペイロードを保護しており、SONET/SDH規格の一部である。パス・エラー監視（POH）用の仮想コンテナ内に配置され、スクランブル前に、以前の仮想コンテナのすべてのビットについて計算される。得られるBIP-8バイトは現行の仮想コンテナのB3バイト位置におかれてから、スクランブルされる。BIP-8 B1バイトに関し、BIP B3バイトはSONET/SDHに基づく標準データ・フレーム・フォーマットの一部である。ただし、本発明はいくつかの異なるモジュールに対してもB3を計算する方法を提供するものとして独自のものである。本願の第7図に示す本発明の構成によれば、BIP-8 B3バイトはすべてのGSTM-1 RxモジュールのB3によってアセンブルされる。BIP-8 B3バイトの計算はBIP-8 B1バイトの計算と類似している。

この構成において、モジュールはR2およびR3インタフェースによって相互接続されて、B3の計算と検査を行う。第2ないし第4（左から）のGSTM-1 RxモジュールのR2インタフェースはそれぞれ、第1ないし第3のGSTM-1モジュールのR3インタフェースに接続されている。対応するスイッチの構成は右側のモジュールについては3-2、中間のモジュールについては3-2/4-2である。第1のGSTM-1 Rxモジュールはスイッチ構成3-1/4-1にしたがって、すなわち内部で接続されている。この構成においては、内部B3計算は3つのモジュールにおいてもはやPOH挿入部に接続されていない。内部B3挿入はこれらにおいて使用不能とされている。上述のように、これにより、レジスタ・チェーンは4番目と最初のGSTM-1モジュールの間に確立されている。動作時に、第2ないし第4のGSTM-1モジュールのビットインターリーブ・パリティ8バイトは、結合XOR演算され

る。この演算の結果は単一バイトであり、これを「B3」バイトと呼ぶ。計算されたB3バイトは次いで、後続のSTM-4c信号（フレーム）のSOHから抽出されたものと比較される。

この構成において、フレーム・スクランブル部はインタフェースR4、R5も上述のようにレジスタ内容の交換のために接続されている。

第7図のSTM-4c受信機において、モジュールもATM部のインタフェースR0およびR1によって接続されている。第2ないし第4のGSTM-1 RxモジュールのR0インタフェースはそれぞれ、第1ないし第3のGSTM-1 RxモジュールのR1インタフェースに接続されている。これらのインタフェースの機能は、第4A図および第4B図を参照して上述したものである。

最後に、第7図の個々のGSTM-1 Rxモジュールはデマルチプレクサ（DEMUX）に接続されたR8インタフェースを有している。これらのR8インタフェースはセクション・オーバーヘッドのA1ないしA2バイトの遷移を検出することによって実行される、検出およびフレーム整合プロセスをサポートしている。GSTM-1モジュールにおける4つのフレーム輪郭サブ機能がすべて、これらがそのR8インタフェースにおいてA1ないしA2遷移を検出していることを示している場合、STM-4cフレームの輪郭が描かれる。この手法により、SONET/SDH関連機能なしに、デマルチプレクサ段を使用することが可能となる。これに関わらず、デマルチプレクサは要求に応じて、バイトおよびフレームの整合が達成されるまで、R8を介してビット・シフト操作を行うことができない。しかしながら、本発明のモジュール性は、デマルチプレクサがバイトおよびフレームの整合機能を実行していても（たとえば、シリアル・シフト・レジスタおよび適切な比較器によって）、持続する。この場合、インタフェースR8を低下させて、デマルチプレクサにおいてフレーム整合ハンディンク・プロセスを初期化する信号およびフレーム整合を示す信号を制御することができる。

モジュールのすべての動作はクロック・バスT8、R8によって同期化され、これにより第1の（マスタ）モジュールはフレームsyncを後続の（スレーブ）モジュールに伝送する。STMペイロードの特定のバイトの到着時にモジュールを同期させることなく、フレームsync信号をシステム・クロック信号から導くことができることに留意すべきである。

第8図はSTM-4c送信機を示す。この構成の機能は第7図の受信機のものと同様なものであり、基本的に、STM-4c信号が生成されているところが異なっている。デマルチプレクサの役割を明確とするため、622Mbit/sのATMデータ・ストリームが一連のバイトからなっていることを念頭に置くべきである。これらのバイトはデマルチプレクサによって、定期的に4つのGSTM-1 Txモジュールに順次分配される。それ故、ATMデータ・ストリー

ムの1番目、5番目、9番目などのバイトはGSTM-1 Txモジュールへ配布される。したがって、SDH信号の仮想コンテナに挿入されるデータが分解され、4つのGSTM-1 Txモジュールの間で分配されることが明らかであろう。しかしながら、4つのGSTM-1 Txモジュールの各々において行われるB1評価機能の結果が、図示のようにT6およびT7インタフェースの接続によってまとめられるのであるから、B1P-8 B1バイトは依然、第8図に示した本発明の構成によって計算できる。4つのGSTM-1 Txモジュールにおいて行われる個別のB3バイト計算の結果の、T2、T3接続による組合せについても同様である。

B1P-8 B1バイトがすべてのSTM-Nモジュールに関して計算されることに留意すべきである。しかしながら、B1P-8 B3バイトはSONET/SDH規格が結合信号のペイロードを保護するように設計されているため、SONET/SDH規格にしたがい結合信号に対してだけ計算される。

第9図の構成は本発明のモジュールを使用して構築されたSTM-16送信機を示す。図のフォーマットにより、数字およびその他の識別ラベルのほとんどは省略されているが、これはすべての構成要素をすでに上記で説明しており、したがってこのようなモジュールの部分の相互接続だけが他の情報をもたらすからである。

この回路は4つのSTM-4c信号を多重化する。この構成には4つのSTM-4c送信機があり、B1レジスタ・チェーンが16のGSTM-1モジュール全体にわたってのびている。レジスタ・チェーンによって計算されたB1P-8 B1バイトはそれ故、STM-16フレーム全部をカバーしている。同様な設定を使用して、各々が155Mbit/sの16のATMデータ・ストリームを1つのSTM-16信号にマップすることもできる。この構成においては、ATM側での多重化は必要ない。

第9図の構成において、16のGSTM Txモジュールがすべて、信号を他のSONET/SDH信号レベルとの間でインタフェースするGSTM-1モジュールと同じクロック速度で動作することに留意すべきである。この場合も、155Mbit/sよりも高いデータ転送率で動作しなければならないのは、マルチプレクサとデマルチプレクサだけである。

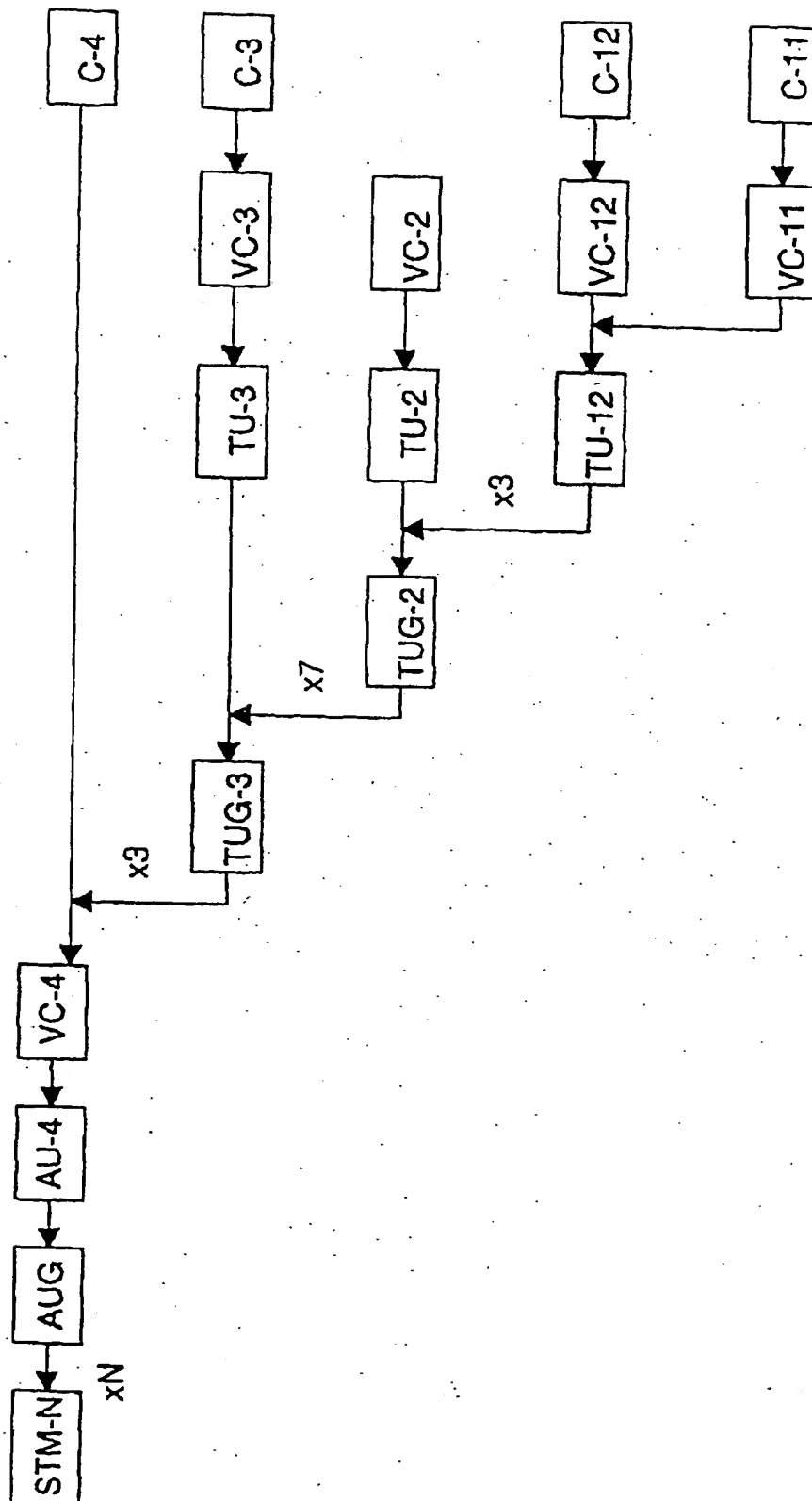
この例において、単一のマルチプレクサは2.488Mbit/sで動作し、4つのデマルチプレクサは622Mbit/sで動作する。

第6図-第9図の例はGSTM-1 TxおよびRxモジュールをどのように高位のSONET/SDH信号へ拡張するかを実証するものである。本発明による高位のSONET/SDH信号の処理に関する構成において、GSTM-1モジュールのクロック速度が、これらが単独で動作しているときと同じものであることに留意することが重要である。モジュールのこの並列動作は構成のデータ・パス幅を広げ、それ故、システムのスループットを高くする。特定の高位SONET/SDH信号の速度への変換は、GSTM-1アーキテクチャの一部ではないマルチプレクサ段で行われる。SDH/SONET側のマルチプレクサもしくはデマルチプレクサは、高位SONET/SDH信号の最高速度で動作する構成の唯一の構成要素である。SONET/SDHデータ・フレームに関連した複雑な制御機能はそれ故、並列GSTM-1全体に分散されると見なすことができ、SONET/SDH機能をもたらす付加的な段の必要性が不要となる。

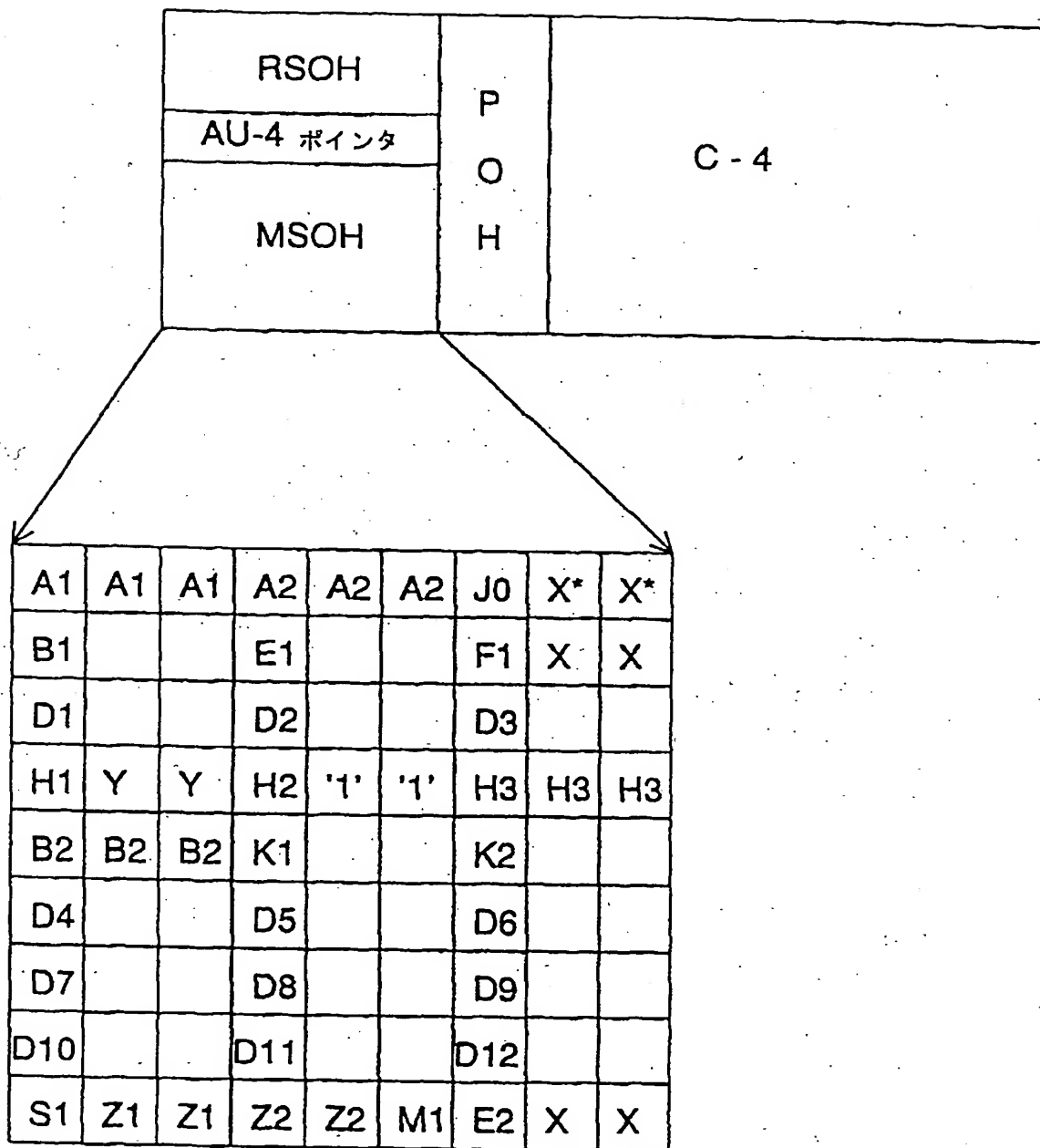
STM-16またはSTM-16cの受信機を、第9図に示したものと類似した態様で構築できることは、きわめて明らかである。同様に、STM-64の送信機と受信機の両方を、GSTM-1モジュールの基本構成をさらに複製することにより、本発明にしたがって構築することができる。これらのインタフェースは本願の第6図-第9図に示した手法に類似した態様で接続しなければならない。

本発明を本願の実施例として使用した155Mbit/sよりも遅いクロック速度の基本モジュールにも拡張できる。たとえば、クロック速度として、SONET STS-1信号レベルに適するものを有しているモジュールを構築することができる。第6図-第9図の構成に類似した態様で接続されている3つのこのようなモジュールは、STM-1信号レベルへのインタフェースを提供できる。このようなSTS-1モジュールのクロック速度は、51.84Mbit/sとなろう。実際には、任意の従属データ・ストリームを、その従属データ・ストリームのクロック速度を有している適正数のモジュールの構成によって、STM-Nデータ・ストリームにインタフェースさせることができる。

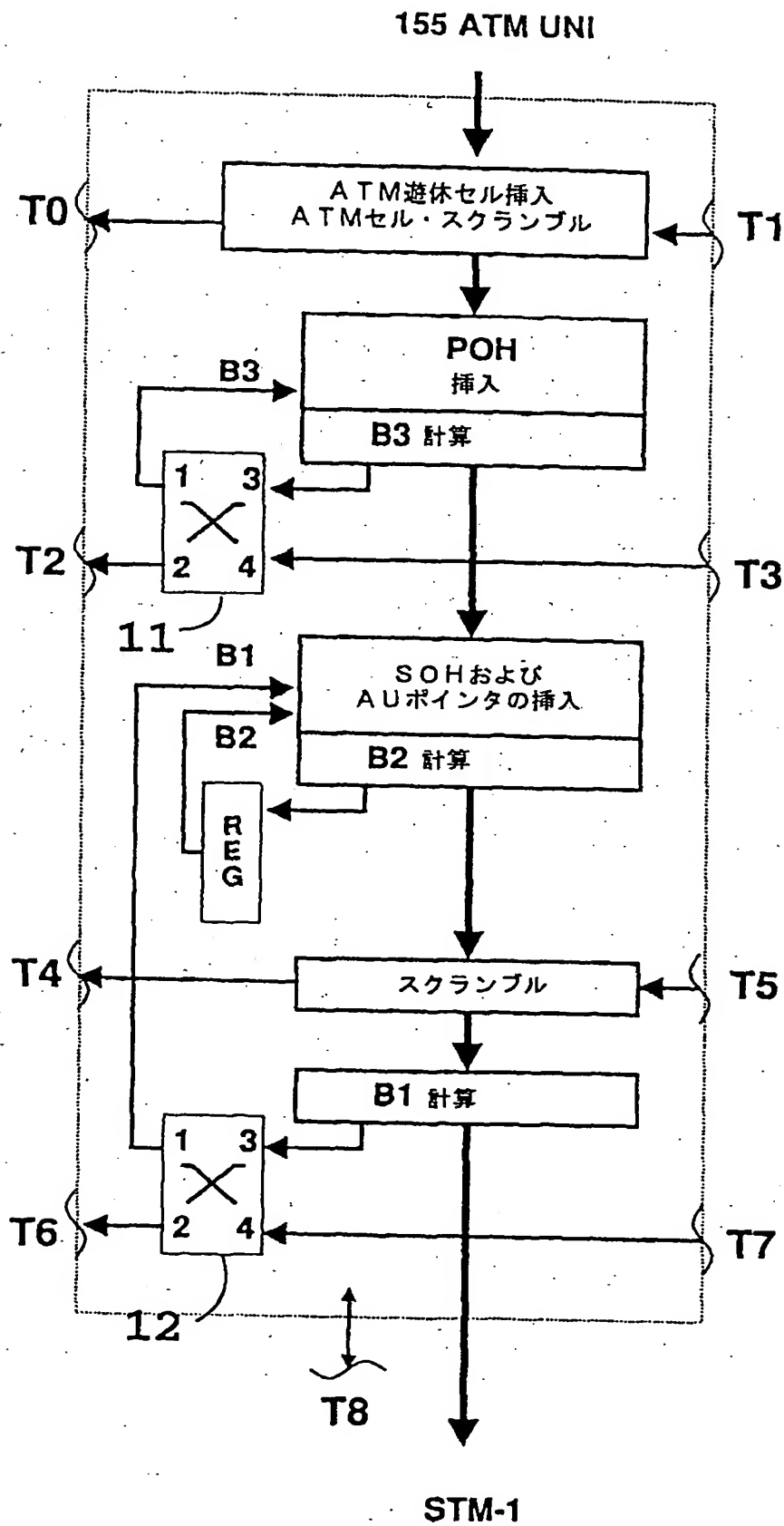
【第1図】



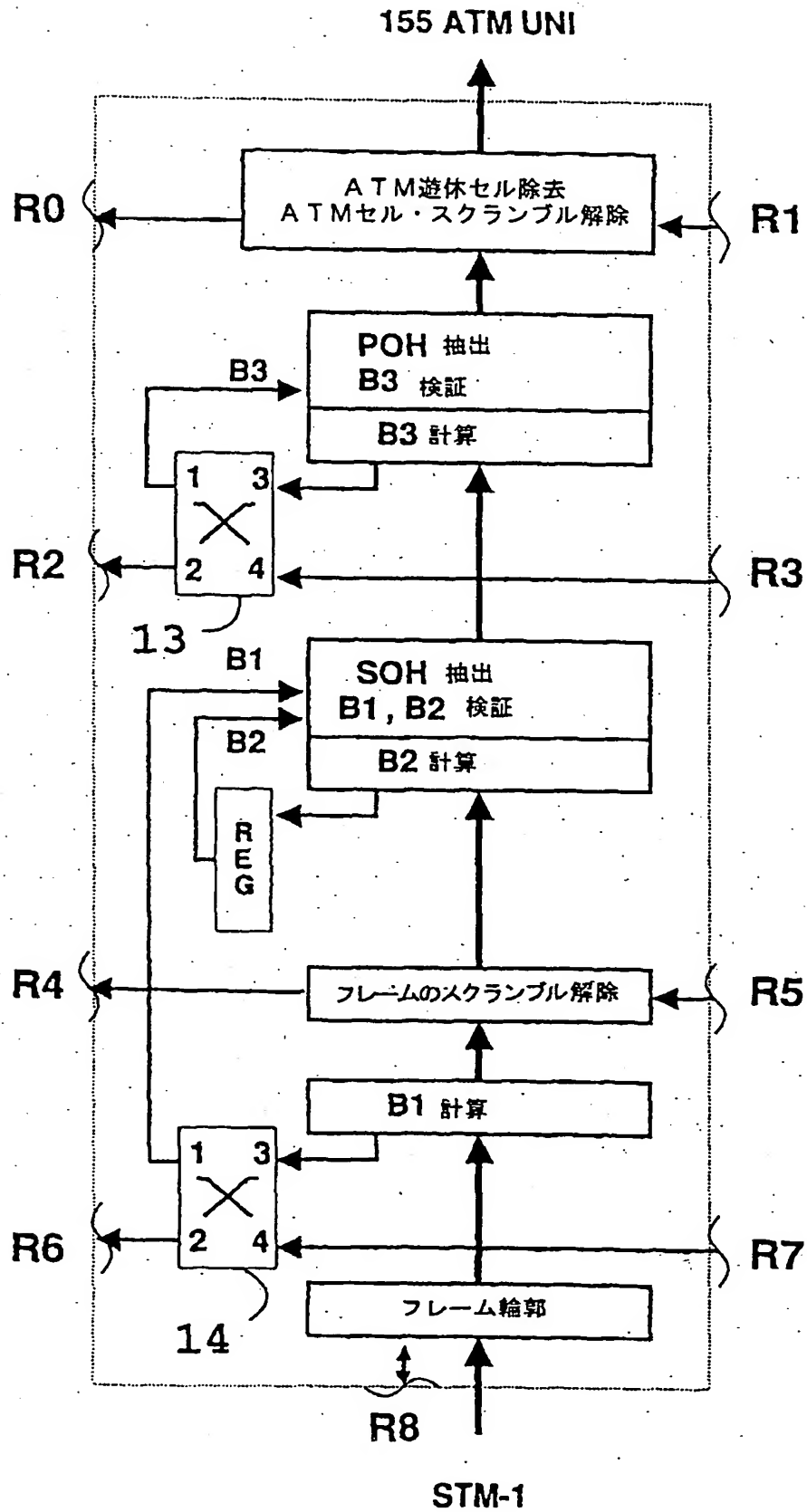
【第2図】



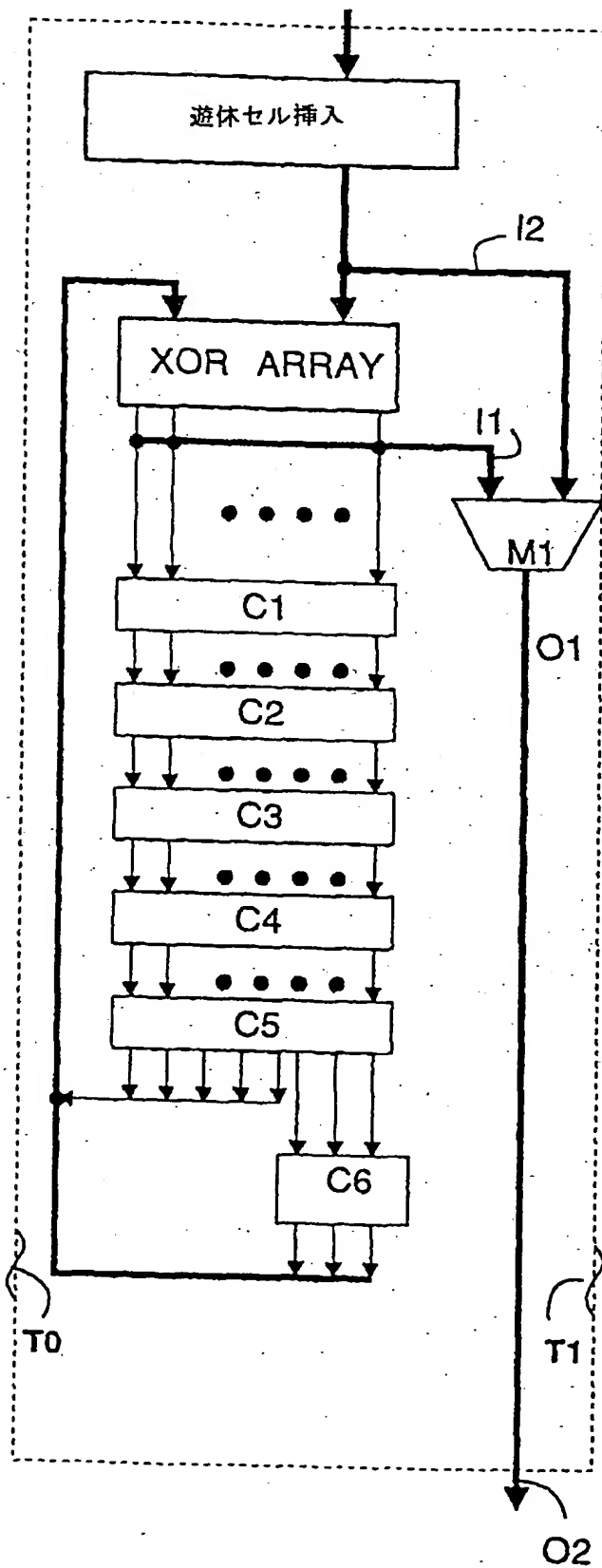
【第3A図】



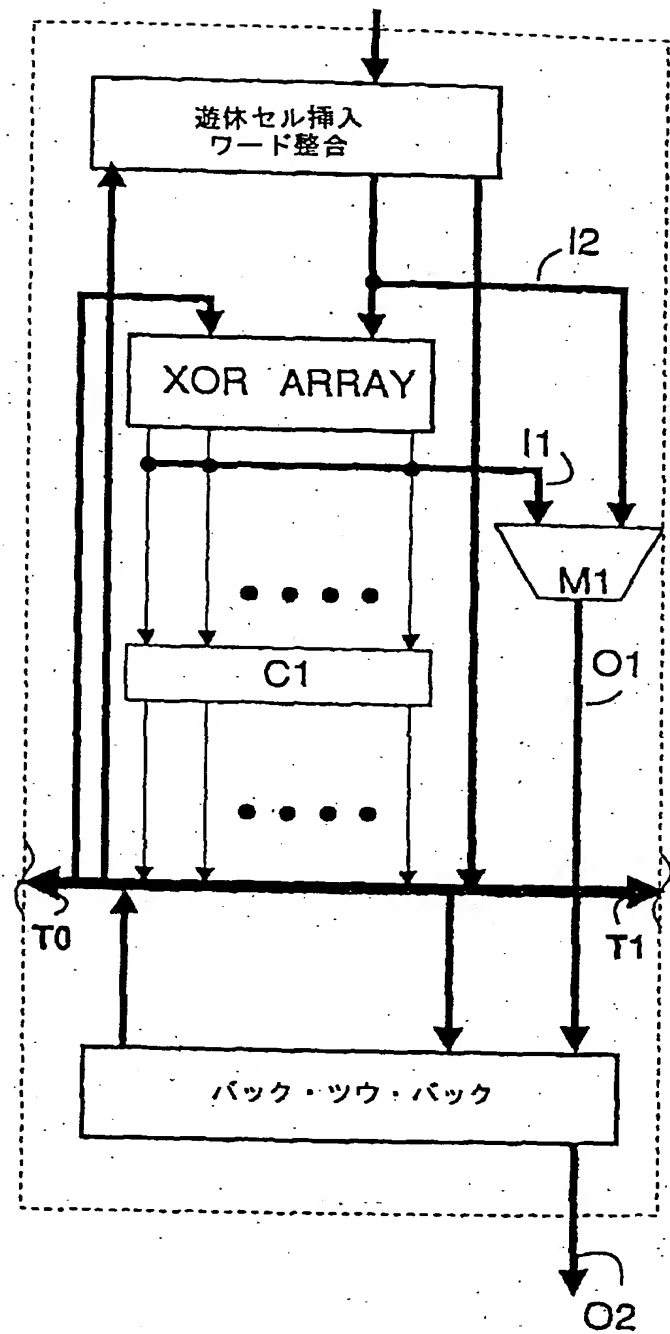
【第3B図】



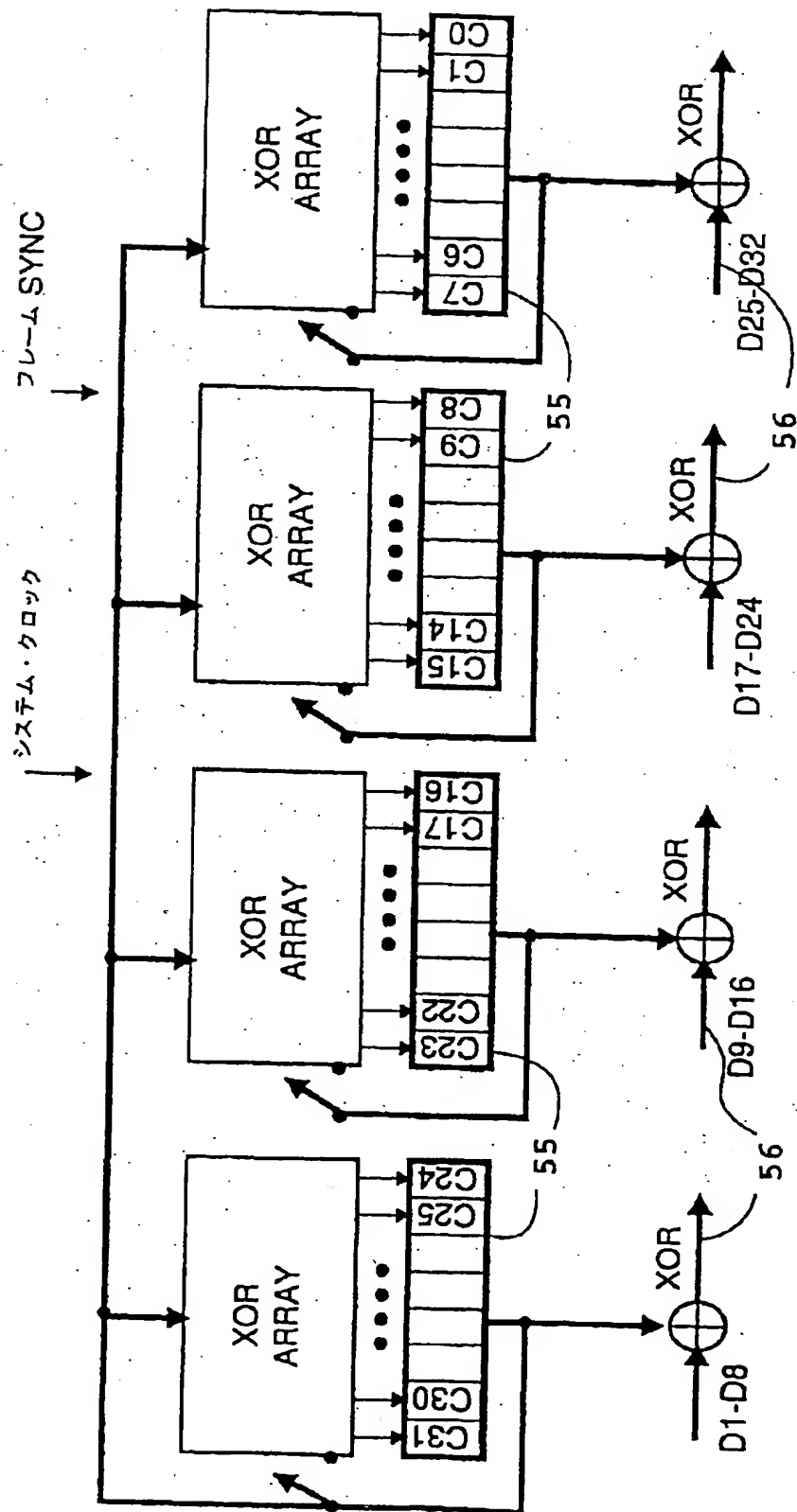
【第 4 A 図】



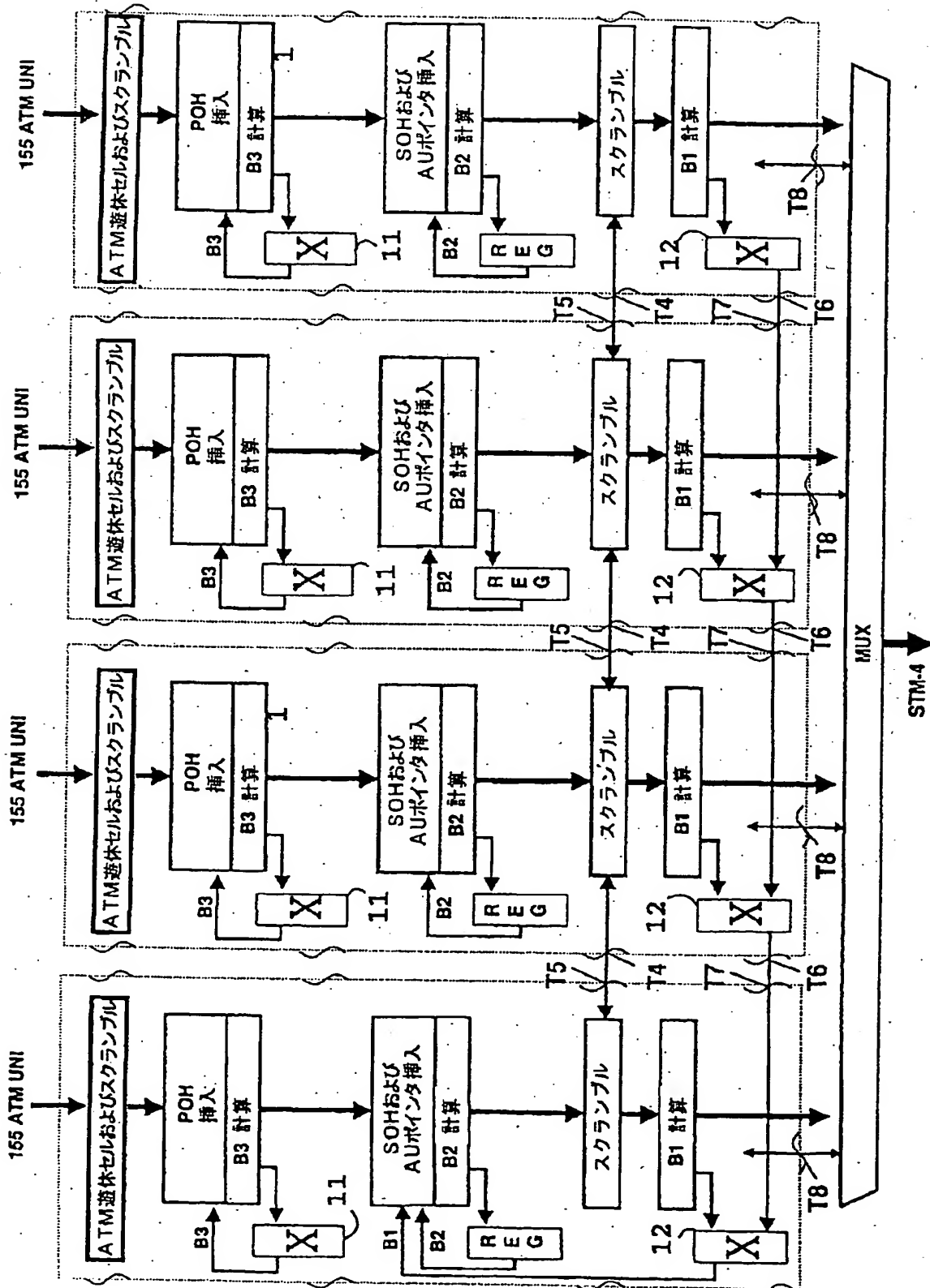
【第 4 B 図】



【第 5 図】



【第6図】



【第7図】

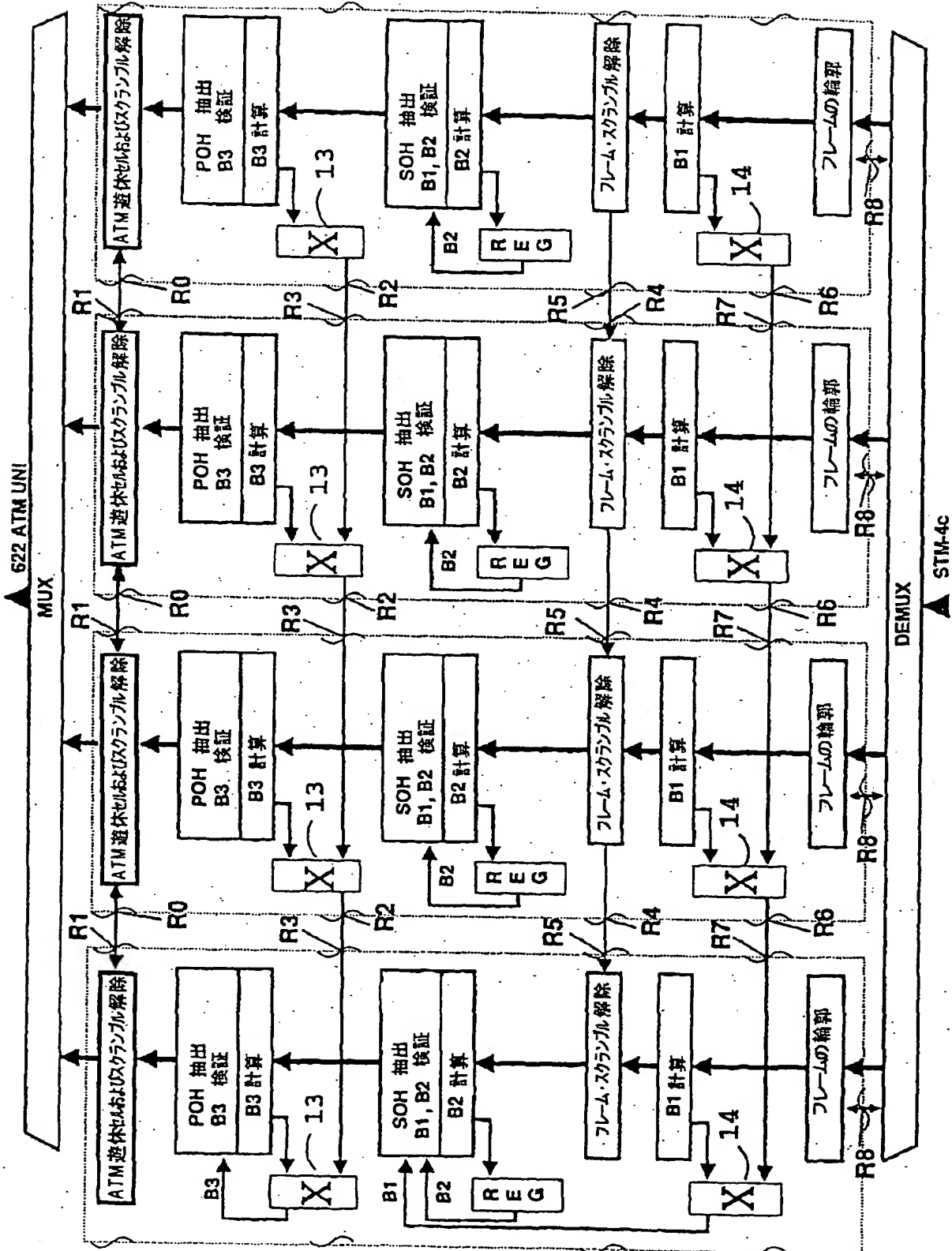
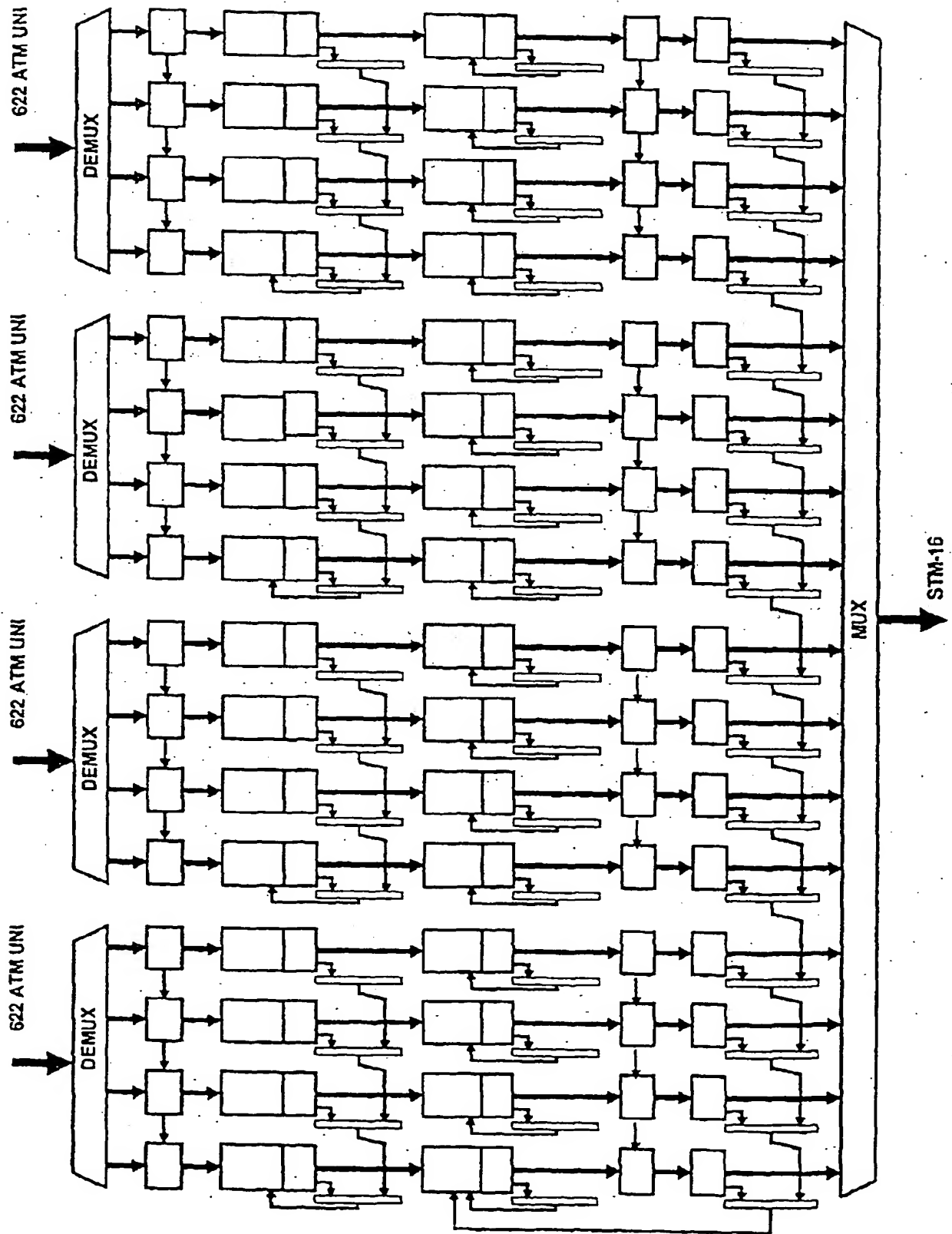


Figure 1 is a block diagram of a 622 ATM UNI interface. The diagram shows four parallel processing channels. Each channel starts with a '622 ATM UNI' input, followed by a 'DEMUX' block. The data then enters a series of processing blocks: 'ATM 逆体セルおよびスクランブル', 'POH 挿入 B3 計算', 'SOHおよびAUポイントの挿入 B2 計算', 'スクランブル', and 'B1 計算'. A 'REG' block is connected to the B2 calculation block. The outputs of the four channels are combined in a 'MUX' block, which then outputs to 'STM-4C'. The diagram is labeled with various time slots (T0, T1, T2, T3, T4, T5, T6, T7, T8) and a '12' label.

【第9図】



フロントページの続き

(72) 発明者 レンペンナウ、ヴォルフラム
 スイス国キルクベッグ、ニイーデルバッ
 ドシュトラーセ 70

(72) 発明者 シンドラー、ハンス、ルドルフ
 スイス国ランクナウ、ヴィルデンプウエ
 ルシュトラーセ 40

(56) 参考文献 特開 平 5 - 268180 (J P , A)
 特開 平 5 - 292556 (J P , A)
 特開 平 7 - 95182 (J P , A)